

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 10229521  
PUBLICATION DATE : 25-08-98

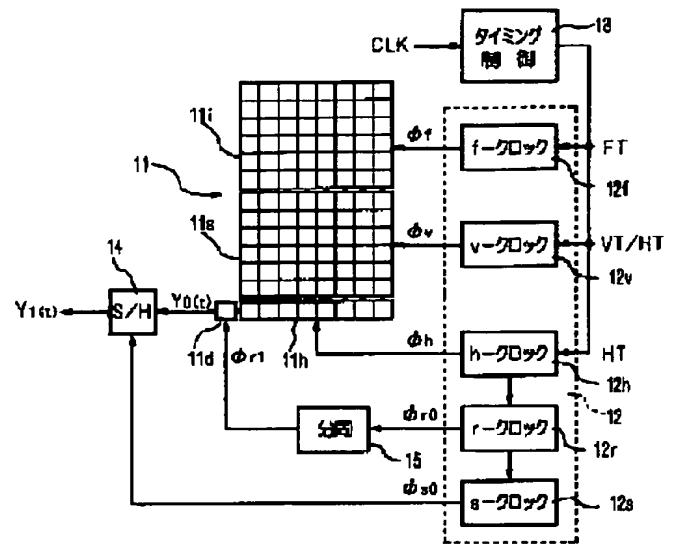
APPLICATION DATE : 13-02-97  
APPLICATION NUMBER : 09029341

APPLICANT : SANYO ELECTRIC CO LTD;

INVENTOR : WATANABE TORU;

INT.CL. : H04N 5/335 H01L 27/148 H04N 9/07

TITLE : SOLID-STATE IMAGE PICKUP DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To take out a voltage efficiently even when a quantity of information charges generated in an image sensor is small.

SOLUTION: Information charges are discharged by a reset clock  $\phi_{r1}$  whose period is twice that of a horizontal block  $\phi_h$  at an output part 11d of an image sensor 11 to synthesize the information charges two picture elements by two. In a sample hold circuit 14 an image signal  $Y_0(t)$  outputted from the output part 11d is fetched at two steps to output an image signal  $Y_1(t)$  where a period indicating an information charge quantity by one picture element and a period indicating an information charge quantity by two picture elements are repeated alternately. Then in the image signal  $Y_1(t)$  by taking a difference between a value of the period indicating the information charge quantity by one picture element and a value of the period indicating the information charge quantity by two picture elements, the information corresponding to all light receiving picture elements are obtained.

COPYRIGHT: (C)1998,JPO

Best Available Copy

**This Page Blank (uspto)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-229521

(43) 公開日 平成10年(1998) 8月25日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 4 N 5/335

H 0 4 N 5/335

F

H 0 1 L 27/148

9/07

A

H 0 4 N 9/07

H 0 1 L 27/14

B

審査請求 未請求 請求項の数 2 O L (全 10 頁)

(21) 出願番号

特願平9-29341

(22) 出願日

平成9年(1997) 2月13日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 渡辺 透

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

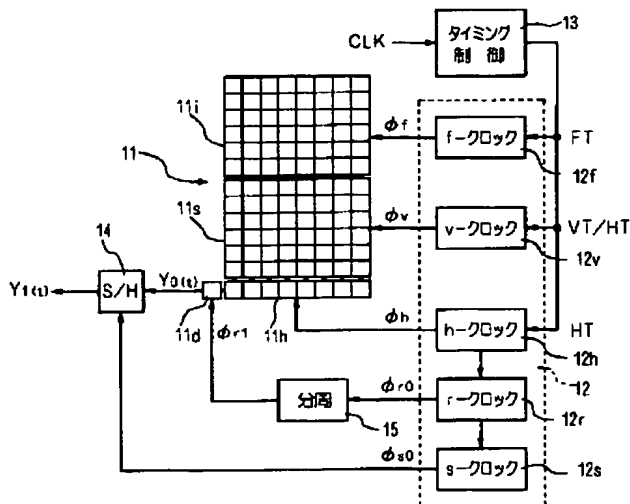
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 イメージセンサに発生する情報電荷の量が少  
ないときでも効率よく電圧値を取り出せるようにする。

【解決手段】 イメージセンサ11の出力部11dで、  
水平クロック $\phi_h$ の2倍の周期のリセットクロック $\phi_{r1}$   
によって情報電荷の排出を行うようにして、情報電荷を  
2画素ずつ合成する。サンプルホールド回路14では、  
出力部11dから出力される画像信号 $Y_0(t)$ を2段階で  
取り込み、1画素分の情報電荷量を表す期間と2画素分  
の情報電荷量を表す期間とが交互に繰り返される画像信  
号 $Y_1(t)$ を出力する。画像信号 $Y_1(t)$ において、2画素  
分の情報電荷を表す期間の値と1画素分の情報電荷を表  
す期間の値との差をとることにより、全ての受光画素に  
対応する情報を得ることができる。



## 【特許請求の範囲】

【請求項1】 行列配置される複数の受光画素が各列毎に複数の垂直転送部に結合され、複数の垂直転送部の各出力が水平転送部の各ビットに結合されると共に、水平転送部の出力電荷量が出力部で電圧値に変換されて出力されるイメージセンサと、上記複数の受光画素に発生する情報電荷を上記複数の垂直転送部へ転送した後、上記複数の垂直転送部から1水平ライン毎に上記水平転送部へ転送し、さらに上記水平転送部から上記出力部へ転送すると共に、上記出力部に蓄積される情報電荷を上記水平転送部の転送動作に同期して排出する駆動回路と、上記出力部から出力される電圧値を上記駆動回路の排出動作に同期して取り出す検出回路と、を備え、上記駆動回路は、上記出力部の排出動作の周期を上記水平転送部の転送動作の周期の整数倍に設定して、上記出力部に複数画素分の情報電荷を蓄積し、上記検出回路は、上記水平転送部の転送動作に同期して上記出力部に複数画素分の情報電荷が順次蓄積される過程の電位の変化を段階的に取り出すことを特徴とする固体撮像装置。

【請求項2】 上記イメージセンサの出力部に、出力動作に同期して複数画素分の情報電荷が段階的に蓄積される過程で、上記検出回路の検出電位を各段階毎にラッチし、それぞれの差から1画素毎の情報電荷量を算出する信号処理回路、をさらに備えたことを特徴とする請求項1に記載の固体撮像装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、CCDイメージセンサを用いた固体撮像装置に関し、特に、イメージセンサの出力部での出力特性の改善に関する。

## 【0002】

【従来の技術】CCDイメージセンサを用いるテレビカメラ等の固体撮像装置においては、所定のテレビジョン方式に従う各種の同期信号に基づいて、イメージセンサの各走査タイミングが設定される。例えば、NTSC方式の場合、垂直走査期間が1/60秒に設定され、さらに水平走査期間が垂直走査期間の2/525に設定される。これにより、1画面分の映像情報が1水平ライン単位で連続する映像信号が出力される。

【0003】図9は、CCDイメージセンサを用いる撮像装置の基本的な構成を示すブロック図で、図10及び図11は、その動作を説明するタイミング図である。フレーム転送型のCCDイメージセンサ1は、撮像部1*i*、蓄積部1*s*、水平転送部1*h*及び出力部1*d*より構成される。撮像部1*i*は、垂直方向に連続する互いに平行な複数のCCDシフトレジスタからなり、そのシフトレジスタの各ビットがそれぞれ受光画素を構成し、撮像期間で光を受けて発生する情報電荷をそれぞれ蓄積する。蓄積部1*s*は、撮像部1*i*のシフトレジスタに連続し、ビット数が一致する複数のCCDシフトレジスタか

らなり、これらのシフトレジスタの各ビットに撮像部1*i*の各受光画素から転送出力される情報電荷をそれぞれ一時的に蓄積する。水平転送部1*h*は、蓄積部1*s*の各シフトレジスタの出力が各ビットに結合された単一のCCDシフトレジスタからなり、蓄積部1*s*から1水平ライン単位で転送出力される情報電荷を順次出力部1*d*側へ転送する。出力部1*d*は、水平転送部1*h*の出力側で情報電荷を受ける容量を含み、水平転送部1*h*から転送出力される情報電荷を受けて電荷量に応じた電圧値を出力する。ここで出力される電圧値の変化が画像信号Y0(t)となる。

【0004】駆動回路2は、フレームクロック発生部2*f*、垂直クロック発生部2*v*、水平クロック発生部2*h*、リセットクロック発生部2*r*及びサンプリングクロック発生部2*s*より構成される。フレームクロック発生部2*f*は、フレームシフトタイミング信号FTにตอบสนองしてフレームクロックφ*f*を発生し、撮像部1*i*へ供給する。これにより、撮像部1*i*の各受光画素に蓄積される情報電荷は、垂直走査期間毎に蓄積部1*s*へ高速転送される。垂直クロック発生部2*v*は、垂直同期信号VT及び水平同期信号HTにตอบสนองして垂直クロックφ*v*を発生し、蓄積部1*s*へ供給する。これにより、蓄積部1*s*では、撮像部1*i*から転送出力される情報電荷が取り込まれて一時的に蓄積されると共に、蓄積された情報電荷が各水平走査期間に1水平ライン単位で水平転送部1*h*へ転送される。水平クロック発生部2*h*は、水平同期信号HTにตอบสนองして水平転送クロックφ*h*を発生し、水平転送部1*h*へ供給する。これにより、1水平ライン毎に蓄積部1*s*から水平転送部1*h*へ取り込まれた情報電荷は、順次出力部1*d*側へ転送出力される。リセットクロック発生部2*r*は、水平クロック発生部2*h*の動作に同期して出力部1*d*の情報電荷を順次排出するリセットクロックφ*r*を発生し、出力部1*d*へ供給する。これにより、水平転送部1*h*から出力部1*d*へ出力される情報電荷は、1画素単位で蓄積されるようになる。そして、サンプリングクロック発生部2*s*は、リセットクロック発生部2*r*と同様に、水平クロック発生部2*h*の動作に同期して出力部1*d*から出力される画像信号Y0(t)を順次サンプリングするサンプリングクロックφ*s*を発生し、後述するサンプルホールド回路4へ供給する。

【0005】タイミング制御回路3は、一定周期の基準クロックCLKに基づいて動作し、イメージセンサ1の垂直走査及び水平走査の各タイミングを決定する垂直同期信号VT及び水平同期信号HTを発生し、駆動回路2へ供給する。同時に、垂直同期信号VTに一致する周期でフレームシフトタイミング信号FTを発生し、駆動回路2へ供給する。このタイミング制御回路3では、イメージセンサ1の露光状態を最適に保つようにするため、撮像部1*i*に発生する情報電荷の量に対応して垂直走査期間の途中で撮像部1*i*の情報電荷を排出させるシャッ

タ制御が行われる。即ち、シャッタ動作のタイミングを早くすると、情報電荷の蓄積開始からフレーム転送開始までの期間が長くなり、撮像部1 iでより長い期間情報電荷の蓄積が行われるようになる。逆に、シャッタ動作のタイミングを遅くすると、情報電荷の蓄積開始からフレーム転送開始までの期間が短くなり、撮像部1 iでは短い期間で情報電荷の蓄積が行われるようになる。撮像部1 iの情報電荷を排出するシャッタ動作については、駆動回路2からイメージセンサ1に供給する駆動クロックの作用によって達成される。

【0006】サンプルホールド回路4は、サンプリングクロック発生部2 sから供給されるサンプリングクロック $\phi_s$ にตอบสนองして画像信号Y0(t)をサンプリングすることにより、信号レベルを維持する画像信号Y1(t)を生成する。通常、出力部1 dにおいては、リセットクロック $\phi_r$ に従い容量の充放電が繰り返されるため、出力部1 dから得られる画像信号Y0(t)は、リセットレベルと、情報電荷量に応じた信号レベルとが交互に繰り返される。そこで、画像信号Y0(t)の内、信号レベルのみを取り出すようにサンプリングクロック $\phi_r$ の位相を設定している。従って、出力部1 dに蓄積される情報電荷量に対応する信号レベルのみが連続する画像信号Y1(t)を得ることができる。

【0007】分周回路5は、必要に応じてリセットクロック $\phi_r$ 及びサンプリングクロック $\phi_s$ を分周するものであり、出力部1 dのリセット動作を間欠的にすることにより、出力部1 dで複数画素の情報電荷を混合できるようにしている。例えば、図11に示すように、水平クロック $\phi_h$ と同一の周期で生成されるリセットクロック $\phi_{r0}$ 及びサンプリングクロック $\phi_{s0}$ を2分周し、周期が水平クロック $\phi_h$ の2倍となったリセットクロック $\phi_{r1}$ 及びサンプリングクロック $\phi_{s1}$ を出力部1 d及びサンプルホールド回路4へ供給するように構成される。周期が2倍となったリセットクロック $\phi_{r1}$ によれば、出力部1 iに2画素分の情報電荷が蓄積される毎に情報電荷がリセットされることから、出力部1 iから水平クロック $\phi_h$ に従うタイミングで2段階でレベルを変化させる画像信号Y0(t)が出力される。

【0008】イメージセンサ1の撮像部1 iでは、一面分の情報電荷を蓄積する期間は最長で1垂直走査期間となるが、イメージセンサ1が撮らえる被写体が暗い場合、蓄積期間を最長に設定しても、十分な情報電荷量を得られないことがある。撮像部1 iの各受光画素で、十分な量の情報電荷を得られない場合、出力部1 dでの電荷量から電圧値への変換の過程でS/N比が劣化し易くなる。このような場合に、分周回路5を動作させ、出力部1 dでの情報電荷のリセット動作を1/2（または1/3以下）に間引くことにより、2画素分（または3画素以上）の情報電荷をまとめて取り出すようにしている。従って、十分な量の情報電荷を保持した状態で電荷

量から電圧値への変換が行われるようになり、イメージセンサ1の出力部1 iでのS/N比の劣化を防止することができる。

【0009】

【発明が解決しようとする課題】複数の受光画素からの情報電荷をイメージセンサ1の出力部1 dで合成して取り出せるようにした場合、イメージセンサ1から取り出される情報量が、合成する画素数に応じて少なくなる。例えば、イメージセンサ1の出力部1 dで2画素分の情報電荷を合成して出力を取り出すようにした場合、被写体画像を形成する各ラインの情報量は1/2となる。従って、再生画面の画質の劣化は避けられない。

【0010】また、イメージセンサ1の撮像部1 iに、各受光画素を所定の色成分と対応させるカラーフィルタを装着してカラー撮像を行う場合、水平方向に隣り合う受光画素がそれぞれ異なる色成分に対応付けられるため、それらの情報電荷を合成することはできない。例えば、奇数行の受光画素に白(W)及び緑(G)が交互に割り当てられ、偶数行の受光画素にシアン(Cy)及び黄(Ye)が交互に割り当てられたとき、WとGとが合成され、CyとYeとが合成される。このような合成が行われると、 $W+G=Cy+Ye=R+2G+B$  ( $W=R+G+B$ ,  $Cy=G+B$ ,  $Ye=R+G$ )であるため、画像信号Y0(t)に含まれる色情報は単一となり、画像信号Y0(t)から各色成分に対応する情報を再生することができなくなる。従って、イメージセンサ1の撮像部1 iにカラーフィルタ、特に、モザイク型のカラーフィルタを装着してカラー撮像を行う場合、出力部1 dでの複数画素の情報電荷の合成は不可能である。

【0011】そこで本発明は、再生画面の解像度を低下させることなく、被写体の輝度が不足しているときでもイメージセンサから効率よく情報電荷を読み出せるようにすると共に、カラーフィルタが装着されたイメージセンサにおいても複数の画素の情報電荷を合成して取り出せるようにすることを目的とする。

【0012】

【課題を解決するための手段】本発明は、上述の課題を解決するために成されたもので、その特徴とするところは、行列配置される複数の受光画素が各列毎に複数の垂直転送部に結合され、複数の垂直転送部の各出力が水平転送部の各ビットに結合されると共に、水平転送部の出力電荷量が出力部で電圧値に変換されて出力されるイメージセンサと、上記複数の受光画素に発生する情報電荷を上記複数の垂直転送部へ転送した後、上記複数の垂直転送部から1水平ライン毎に上記水平転送部へ転送し、さらに上記水平転送部から上記出力部へ転送すると共に、上記出力部に蓄積される情報電荷を上記水平転送部の転送動作に同期して排出する駆動回路と、上記出力部から出力される電圧値を上記駆動回路の排出動作に同期して取り出す検出回路と、を備え、上記駆動回路は、上

記出力部の排出動作の周期を上記水平転送部の転送動作の周期の整数倍に設定して、上記出力部に複数画素分の情報電荷を蓄積し、上記検出回路は、上記水平転送部の転送動作に同期して上記出力部に複数画素分の情報電荷が順次蓄積される過程の電位の変化を段階的に取り出すことにある。

【0013】本発明によれば、複数の画素の情報電荷がイメージセンサの出力部で段階的に蓄積される過程において、各段階での出力電圧値をそれぞれ取り出すことにより、各段階毎の差から各画素の情報電荷量に対応する電圧値を得ることができる。従って、イメージセンサの出力部で複数の受光画素の情報電荷を合成して取り出しながらも、全ての受光画素に対応する情報を独立に得ることができると共に、異なる色成分がイメージセンサの出力段階で混合されたとしても、その色成分を信号処理の過程で容易に分離することができる。

【0014】

【発明の実施の形態】図1は、本発明の第1の実施の形態に係る固体撮像装置の構成を示すブロック図、図2は、図1の固体撮像装置から得られる画像信号に対する信号処理回路の構成を示すブロック図、図3は、図1及び図2の動作を説明するタイミング図である。尚、これらの図においては、イメージセンサ11の出力部11dで情報電荷を2画素単位で混合して取り出すようにした場合を示している。

【0015】固体撮像装置(図1)は、フレーム転送型のCCDイメージセンサ11、このイメージセンサ11を駆動する駆動回路12、駆動回路12の動作タイミングを制御するタイミング制御回路13より構成される。さらに、固体撮像装置は、イメージセンサ11の出力を取り込む検出回路としてのサンプルホールド回路14、駆動回路12からイメージセンサ11に供給されるリセットクロック $\phi_{r0}$ を分周する分周回路15を含む。

【0016】イメージセンサ11は、撮像部11i、蓄積部11s、水平転送部11h及び出力部11dより構成される。このイメージセンサ11の各部11i、11v、11h、11dについては、図9に示すイメージセンサ1(撮像部1i、蓄積部1s、水平転送部1h、出力部1d)とそれぞれ同一の構成を有するものであり、説明は省略する。

【0017】駆動回路12は、フレームクロック発生部12f、垂直クロック発生部12v、水平クロック発生部12h、リセットクロック発生部12r及びサンプリングクロック発生部12sより構成される。この駆動回路12で、フレームクロック発生部12f、垂直クロック発生部12v、水平クロック発生部12hは、図9に示す駆動回路2(フレームクロック発生部2f、垂直クロック発生部2v、水平クロック発生部2h)と同一の構成を有する。

【0018】リセットクロック発生部12rは、水平ク

ロック発生部12hの動作に同期し、水平クロック $\phi_h$ と同一の周期で出力部1dの情報電荷を順次排出するリセットクロック $\phi_{r0}$ を発生し、後述する分周回路15へ供給する。そして、サンプリングクロック発生部12sは、リセットクロック発生部12rと同様に、水平クロック発生部12hの動作に同期して出力11dから出力される画像信号 $Y0(t)$ を順次サンプリングするサンプリングクロック $\phi_{s0}$ を発生し、後述するサンプルホールド回路14へ供給する。

【0019】タイミング制御回路13は、イメージセンサ11の垂直走査及び水平走査の各タイミングを決定する垂直同期信号VT及び水平同期信号HTを発生する。同時に、垂直同期信号VTに一致する周期でフレーム転送タイミング信号FTを発生し、垂直同期信号VT及び水平同期信号HTと共に、それぞれ駆動回路12へ供給する。このタイミング制御回路13においても、図9に示すタイミング制御回路3と同様に、イメージセンサにおける情報電荷の蓄積時間を伸縮制御するためのシャッタ制御が行われる。

【0020】サンプルホールド回路14は、サンプリングクロック発生部12sから供給されるサンプリングクロック $\phi_{s0}$ にตอบสนองして、イメージセンサ11から出力される画像信号 $Y0(t)$ をサンプリングする。通常、出力部11dでは、リセットクロック $\phi_{r1}$ に従うタイミングで容量の充放電が繰り返されるため、出力部11dから得られる画像信号 $Y0(t)$ では、図3に示すように、リセットレベルと、情報電荷量に応じた信号レベルとが交互に繰り返して連続する。そこで、画像信号 $Y0(t)$ の内、信号レベルのみを取り出すようにサンプリングクロック $\phi_r$ の位相を設定している。従って、出力部1dに蓄積される情報電荷量に対応する信号レベルのみが連続する画像信号 $Y1(t)$ を得ることができる。

【0021】分周回路15は、水平クロック $\phi_h$ と同一の周波数で生成されるリセットクロック $\phi_{r0}$ を2分周し、分周リセットクロック $\phi_{r1}$ を出力部11dへ供給する。これにより、出力部1dでのリセット動作が間欠的となり、出力部11dで2画素の情報電荷が混合されるようになる。従って、出力部11dから出力される画像信号 $Y0(t)$ は、図3に示すように、リセットレベルの後に、水平クロック $\phi_h$ に従うタイミングで信号レベルを2段階で変化させる。そして、このような画像信号 $Y0(t)$ に対してサンプルホールド回路14は、水平クロック $\phi_h$ と同一の周期で動作するため、2段階で変化する信号レベルをそれぞれサンプリングする。これにより、サンプルホールド回路14は、1画素分の情報電荷量に対応する信号レベルと2画素分の情報電荷量に対応する信号レベルとを交互に繰り返す画像信号 $Y1(t)$ を出力する。

【0022】信号処理回路(図2)は、A/D変換回路16、第1及び第2のラッチ回路17、18及び減算回

路19より構成され、サンプルホールド回路14から出力される画像信号Y1(t)に対し、出力部11dで合成される前の情報電荷量を算出するための処理を施す。A/D変換回路16は、サンプルホールド回路14に同期して画像信号Y1(t)を取り込み、イメージセンサ11の各受光画素に対応する画像データD0(n)を生成する。この画像データD0(n)では、図3に示すように、1画素分の情報電荷量に対応するデータと2画素分の情報電荷量に対応するデータとが繰り返される。例えば、 $2m-1$  (奇数) 番目の画素が単独で読み出されるとき、画像データD0( $2m-1$ )が、 $2m-1$  番目の画素の情報電荷量 $y$  ( $2m-1$ )を表すデータ $d$  ( $2m-1$ )となる。そして、 $2m$  (偶数) 番目の画素が1つ前の画素に合成されて読み出されるとき、画像データD0( $2m$ )が、 $2m$  番目の画素の情報電荷量 $y$  ( $2m$ )に $2m-1$  番目の画素の情報電荷量 $y$  ( $2m-1$ )を加算した電荷量 $y$  ( $2m-1$ ) +  $y$  ( $2m$ )を表すデータ $d$  ( $2m-1$ ) +  $d$  ( $2m$ )となる。

【0023】第1のラッチ17は、第1のラッチパルスLT1に応答し、画像データD0(n)を1データおきに、2画素分の情報電荷が出力されるタイミングでラッチし、2画素分の情報電荷を表すデータ $d$  ( $2m-1$ ) +  $d$  ( $2m$ )が連続する画像データD1(n)を出力する。第2のラッチ18は、第2のラッチパルスLT2に응答し、画像データD0(n)を1データおきに、1画素分の情報電荷が独立して出力されるタイミングでラッチし、1画素分の情報電荷を表すデータ $d$  ( $2m$ )が連続する画像データD2(n)を出力する。画像データD1(n)及び画像データD2(n)においては、図3に示すように、データ $d$  ( $2m-1$ ) +  $d$  ( $2m$ )及びデータ $d$  ( $2m-1$ )がそれぞれ2クロック単位で連続する。但し、画像データD1(n)及び画像データD2(n)の互いのタイミングは、1クロック期間ずれている。

【0024】減算回路19は、第1のラッチ回路17から出力される画像データD1(n)から、第2のラッチ回路18から出力される画像データD2(n)を減算する。この減算処理では、2画素分の情報電荷を表す画像データD1(n)から1画素分の情報電荷を表す画像データD2(n)が差し引かれるため、情報電荷を合成する前の情報電荷量が算出されることになる。尚、減算回路19は、画像データD0(n)で2画素分の情報が入力される期間(第1のラッチ回路17の動作期間)で減算を実行し、画像データD0(n)で1画素分の情報が入力される期間(第2のラッチ回路18の動作期間)では前の減算結果を保持して出力する。

【0025】このように出力される画像データD2(n)、D3(n)については、ホワイトバランス調整や平衡変調等を施す色信号処理系及び2次元フィルタ処理や輪郭補正等を施す輝度信号処理系で交互に取り込まれる。即ち、1画素の情報電荷量を示すデータ $d$  ( $2m-1$ )が入力される期間には、第2のラッチ回路17からの画像データD2

(n)が選択され、2画素の電荷量を示すデータ $d$  ( $2m-1$ ) +  $d$  ( $2m$ )が入力される期間には、減算回路24からの画像データD3(n)が選択される。これにより、イメージセンサ11の出力部11dで2画素の情報電荷を合成した状態で出力しながらも、撮像部11iの全ての受光画素における独立した情報を得ることができる。

【0026】以上のような固体撮像装置においては、イメージセンサ11の撮像部11iにモザイク型のカラーフィルタを装着した場合でも、全ての色成分を独立して取り出すことが可能になる。例えば、図4に示すように、撮像部11iの各受光画素に対応するように分割された複数のセグメントCに、白(W)、緑(G)、黄(Ye)及びシアン(Cy)の4種類の色成分が対応付けられたモザイク型のカラーフィルタの場合、図5に示すような画像データD0(n)~D3(n)を得られる。即ち、撮像部11iの各受光画素において、奇数行でG及びWが対応付けられ、偶数行でYe及びCyが対応付けられるとき、奇数行の受光画素に対応する画像データD0(n)ではG成分とG+W成分とが繰り返され、偶数行の受光画素に対応する画像データD0(n)ではYe成分とYe+Cy成分とが繰り返される。この画像データD0(n)に対応し、第1のラッチ回路17から出力される画像データD1(n)では、奇数行でG+W成分が連続し、偶数行でYe+Cy成分が連続する。第2のラッチ回路から出力される画像データD0(n)では、奇数行でG成分が連続し、偶数行でYe成分が連続する。そして、減算回路19から出力される画像データD3(n)では、奇数行でW成分が連続し、偶数行でCy成分が連続するようになる。従って、イメージセンサ11の出力部11dで2種類の色成分が合成されたとしても、信号処理の段階で全ての色成分を再生することが可能になる。

【0027】図6は、本発明の第2の実施の形態に係る固体撮像装置の構成を示すブロック図、図7は、図6の動作を説明するタイミング図である。固体撮像装置(図6)は、図1と同様に、イメージセンサ21、駆動回路22、タイミング制御回路23、サンプルホールド回路24及び分周回路25より構成される。この内、タイミング制御回路23、サンプルホールド回路24及び分周回路25は、図1の固体撮像素子(タイミング制御回路13、サンプルホールド回路14及び分周回路15)と同一であり、説明は省略する。

【0028】フレーム転送型のCCDイメージセンサ21は、撮像部21i、蓄積部21s、水平転送部21h及び出力部21dより構成される。撮像部21iは、垂直方向に連続する互いに平行な複数のCCDシフトレジスタからなり、これらのシフトレジスタの各ビットがそれぞれ受光画素を構成し、撮像期間に発生する情報電荷をそれぞれ蓄積する。蓄積部21sは、撮像部21iのシフトレジスタに連続し、ビット数が一致する複数のCCDシフトレジスタからなり、これらのシフトレジスタ

の各ビットに撮像部21iの各受光画素から転送出力される情報電荷をそれぞれ一時的に蓄積する。この蓄積部21sのシフトレジスタは、偶数列で水平転送部21hに接続される側が1ビットだけ多くなるように形成される。水平転送部21hは、蓄積部21sの各シフトレジスタの出力が各ビットに結合された単一のCCDシフトレジスタからなり、蓄積部21sから転送出力される情報電荷を順次出力部21d側へ転送する。この水平転送部21hのシフトレジスタは、1ビットに撮像部21i及び蓄積部21sのシフトレジスタの2列が対応付けられる。出力部21dは、水平転送部21hの出力側で情報電荷を受ける容量を含み、水平転送部21hから転送出力される情報電荷を受けて電荷量に応じた電圧値を出力する。

【0029】駆動回路22は、フレームクロック発生部22f、垂直クロック発生部22v、補助クロック発生部22u、水平クロック発生部22h、リセットクロック発生部22r及びサンプリングクロック発生部22sより構成される。フレームクロック発生部22fは、垂直走査周期のフレームシフトタイミング信号FTにตอบสนองしてフレームクロック $\phi f$ を発生し、撮像部21iへ供給する。これにより、撮像部21iの各受光画素に蓄積される情報電荷は、各垂直走査期間毎に蓄積部21sへ高速転送される。このフレームクロック発生部22fは、図1の駆動回路12と同一である。垂直クロック発生部22vは、垂直同期信号VT及び水平同期信号HTにตอบสนองして垂直クロック $\phi v$ を発生し、蓄積部21sへ供給する。補助クロック発生部22uは、水平同期信号HTにตอบสนองし、垂直クロック $\phi h$ の1/2の周期の補助クロック $\phi u$ を発生し、蓄積部21sの出力端部で偶数列に余分に設けられるビットへのみ供給する。これにより、蓄積部21sでは、撮像部21iから転送出力される情報電荷が取り込まれて一時的に蓄積されると共に、その情報電荷が水平走査期間の1/2の期間毎に、奇数列と偶数列とで交互に1/2ラインずつに水平転送部21hへ転送される。

【0030】水平クロック発生部22hは、水平同期信号HTにตอบสนองして水平転送クロック $\phi h$ を発生し、水平転送部21hへ供給する。水平転送部21hは、シフトレジスタのビット数が1/2に縮小されているため、この水平転送部21hに取り込まれた情報電荷は、水平走査期間の1/2の期間で出力部21dへの転送出力が完了する。このような1/2の画素数の情報電荷の転送出力が、1水平走査期間の間に2回繰り返されることにより、1行分の情報電荷の転送出力が完了する。

【0031】リセットクロック発生部22rは、水平クロック発生部22hの動作に同期して出力部21dの情報電荷を順次排出するリセットクロック $\phi r$ を発生し、出力部21dへ供給する。これにより、水平転送部21hから出力部21dへ出力される情報電荷は、1画素単位で排出されるようになる。そして、サンプリングクロック発生部22sは、リセットクロック発生部22rと同様に、水平クロック発生部22hの動作に同期して出力部21dから出力される画像信号Y0(l)を順次サンプリングするサンプリングクロック $\phi s$ を発生し、後述するサンプルホールド回路24へ供給する。

【0032】ここで、イメージセンサ21の撮像部21iに、図4に示すようなモザイク型のカラーフィルタが装着されている場合、画像データD0(n)では、各色成分が各水平走査期間の1/2の期間毎に連続するようになる。例えば、W成分及びG成分が交互に対応付けられる奇数行の受光画素に対応する水平走査期間では、図7に示すように、前半期間でW成分が連続し、後半期間でG成分が連続する。また、Cy成分及びYe成分が交互に対応付けられる偶数行の受光画素に対応する水平走査期間では、前半期間でCy成分が連続し、後半期間でYe成分が連続する。これにより、水平方向で2画素の情報電荷を合成したとしても、異なる色成分が互いに混ざり合うことはなくなる。

【0033】図8は、図6に示すイメージセンサ21の蓄積部21sと水平転送部21hとの接続部の構造の一例を示す平面図である。複数の垂直転送チャネル31a、31bが、分離領域32により区画され、垂直方向（転送方向）に互いに平行に延在する。垂直転送チャネル31a、31bの出力端には、各垂直転送チャネル31a、31bに連続する水平転送チャネル33が、分離領域34により区画され、水平方向に延在する。複数の垂直転送チャネル31a、31b上には、2層構造を有する複数の転送電極35a～35dが、各列で共通となるように水平方向に延在し、それぞれ絶縁された状態で互いに平行に配置される。これらの転送電極35a～35dには、4相の垂直クロック $\phi v1 \sim \phi v4$ が印加される。水平転送チャネル33上には、2層構造を有する複数の転送電極36a、36bが、垂直方向に延在して配置される。これらの転送電極36a、36bは、隣り合う2本が共通に接続され、2相の水平クロック $\phi h1$ 、 $\phi h2$ が印加される。この転送電極36a、36bの内、下層側は、垂直転送チャネル31a、31bと水平転送チャネル33との接続部分を被うように、垂直転送チャネル31a、31b側まで延在されている。さらに、奇数列の垂直転送チャネル31aと水平転送チャネル33との接続部分は、偶数列よりも1ビット分長く形成され、その接続部分も転送電極36aにより被うようにしている。

【0034】垂直転送チャネル31a、31bの出力側（水平転送チャネル33側）には、2層構造を有する補助転送電極37a～37dが形成される。下層側の補助転送電極37b、37dは、偶数列の垂直転送チャネル31b上にのみ設けられる。また、上層側の補助転送電極37a、37cは、全ての垂直転送チャネル31a、



31bを横切って配置されるが、奇数列の垂直転送チャネル31a上では、転送電極36aに重なり、偶数列の垂直転送チャネル31bに対してのみ作用する。そして、これらの補助転送電極37a～37dには、4相の補助クロック $\phi u1 \sim \phi u4$ が印加される。これにより、補助転送電極37a～37dは、偶数列の垂直転送チャネル31bの出力端で1ビット分の補助ビットを形成し、蓄積部11sから水平転送部11hへ情報電荷が転送される過程で、偶数列の垂直転送チャネル31bで1画素分の情報電荷を一時的に蓄積できるようになる。

【0035】垂直クロック $\phi v$ は、水平同期信号HTに従う周期で転送電極35a～35dをクロックキングし、垂直転送チャネル31a、31b内の情報電荷を1水平走査期間に1画素ずつ垂直方向へ転送する。補助クロック $\phi u$ は、垂直クロック $\phi v$ の1/2の周期を有し、水平同期信号HTの1/2の周期で補助転送電極37a～37dをクロックキングする。補助転送電極37a～37dは、偶数列の垂直転送チャネル31bに対してのみ有効に作用するため、偶数列の垂直転送チャネル31b内の情報電荷が、出力端部で1水平走査期間に2画素ずつ垂直方向へ送られる。このとき、転送電極35a～35d部分から補助転送電極37a～37d部分へは、1水平走査期間に1画素の情報電荷しか転送されないため、実際に補助転送電極37a～37d部分では、1画素おきに空転送となる。従って、奇数列の垂直転送チャネル31aと偶数列の垂直転送チャネル31bとでは、1/2垂直走査期間だけずれたタイミングで1画素の情報電荷が水平転送チャネル33へ転送される。

【0036】水平クロック $\phi h$ は、垂直クロック $\phi v$ 及び補助クロック $\phi u$ に対応して起動し、転送電極36a、36bを水平走査周期よりも十分に短い周期でクロックキングする。この水平クロック $\phi h$ の周期は、水平転送チャネル33内にある情報電荷を水平走査期間の1/2の期間で全て転送出力でき、且つ、一定のブランキング期間を確保できるように設定される。これにより、各水平走査期間の前半期間に、奇数列の垂直転送チャネル31aからの情報電荷が転送出力され、後半期間に、偶数列の垂直転送チャネル31bからの情報電荷が転送出力される。

【0037】以上の実施の形態においては、情報電荷を2画素単位で合成する場合を例示したが、イメージセンサの出力部で3画素以上の情報電荷を合成するようにしてもよい。この場合、リセットクロック $\phi r0$ から分周リセットクロック $\phi r1$ を得る際の分周比率を変更することで容易に対応可能である。そして、画像信号の処理過程においては、情報電荷を合成する画素数の分だけラッチ回路を並列に配置し、複数画素の情報電荷が合成される各段階の出力電圧値をそれぞれラッチできるように構成すればよい。

【0038】尚、画像信号の信号処理系については、ラ

ッチ回路を用いる他にも、画像データを1行単位あるいは1画面単位でメモリに記憶し、デジタル信号処理によって1画素毎に対応する画像データを算出することも可能である。デジタル化された画像信号の処理においては、フィルタリングやカラーエンコード等の処理の際には、各種の演算が行われるため、これらの演算の前処理として減算過程を付加すれば、1画素毎に対応する画像データを取り出すことは容易である。

【0039】

【発明の効果】本発明によれば、イメージセンサの出力部では、複数の画素の情報電荷を合成して出力できるため、1画素毎の情報電荷量が少なくなったときでも、ある程度の電荷量を確保して電圧値への変換が可能になり、出力部でのS/N比特性を向上できる。そして、信号処理の過程においては、1画素毎の情報電荷量に対応する画像データを再生することができるため、この画像データにより表示される再生画面の解像度を画素の合成を行わないときと同等に維持することができる。

【0040】また、モザイク型のカラーフィルタを装着したイメージセンサにおいても、一旦合成した色成分を後に分離することができるため、容易に適応可能である。従って、カラー撮像に対応するイメージセンサであっても、解像度を劣化させることなく出力部の特性を改善することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る固体撮像装置の構成を示すブロック図である。

【図2】画像信号に対する信号処理回路の構成を示すブロック図である。

【図3】図1及び図2の動作を説明するタイミング図である。

【図4】モザイク型のカラーフィルタの構成を示す平面図である。

【図5】モザイク型のカラーフィルタが装着されたイメージセンサに対応した画像データの色成分の配列を示すタイミング図である。

【図6】本発明の第2の実施の形態に係る固体撮像装置の構成を示すブロック図である。

【図7】図6の固体撮像装置の動作を説明するタイミング図である。

【図8】イメージセンサの蓄積部と水平転送部との接続部分の構造の一例を示す平面図である。

【図9】従来の固体撮像装置の構成を示すブロック図である。

【図10】従来の固体撮像装置の第1の動作を説明するタイミング図である。

【図11】従来の固体撮像装置の第2の動作を説明するタイミング図である。

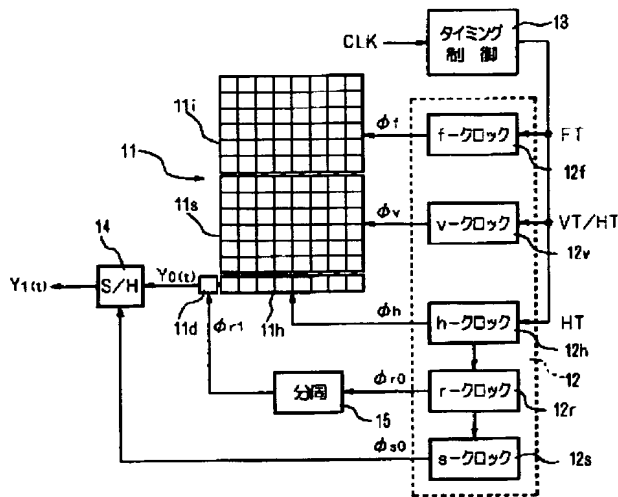
【符号の説明】

1、11、21 イメージセンサ

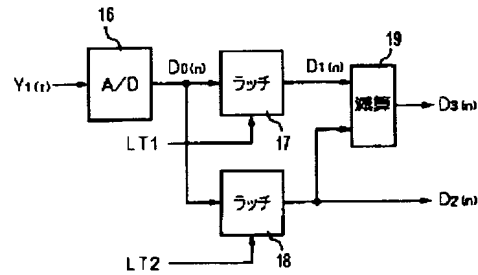
1 i、11 i、21 i 撮像部  
 1 s、11 s、21 s 蓄積部  
 1 h、11 h、21 h 水平転送部  
 1 d、11 d、21 d 出力部  
 2、12、22 駆動回路  
 2 f、12 f、22 f フレームクロック発生部  
 2 v、12 v、22 v 垂直クロック発生部  
 2 h、12 h、22 h 水平クロック発生部  
 2 r、12 r、22 r リセットクロック発生部  
 2 s、12 s、22 s サンプルクロック発生部  
 3、13、23 タイミング制御回路  
 4、14、24 サンプルホールド回路

5、15、25 分周回路  
 16 A/D変換回路  
 17 第1のラッチ回路  
 18 第2のラッチ回路  
 19 減算回路  
 22 u 補助クロック発生部  
 31 a、31 b 垂直転送チャネル  
 32、34 チャネル分離領域  
 33 水平転送チャネル  
 35 a～35 d、36 a、36 b 転送電極  
 37 a～37 d 補助電極

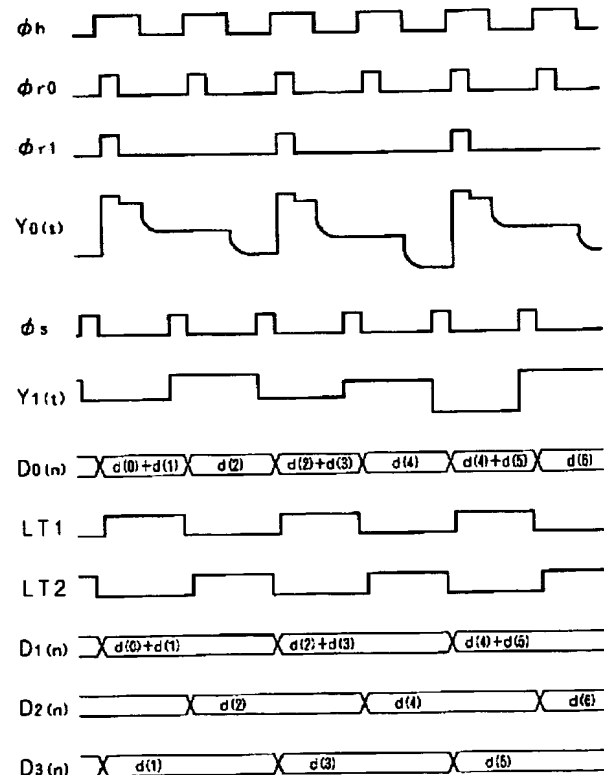
【図1】



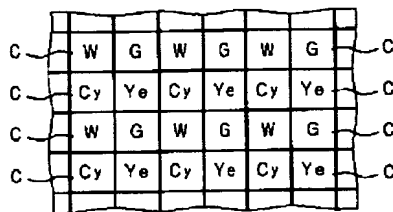
【図2】



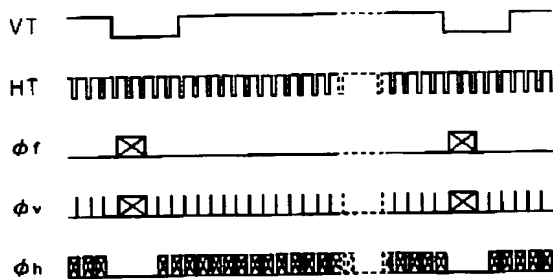
【図3】



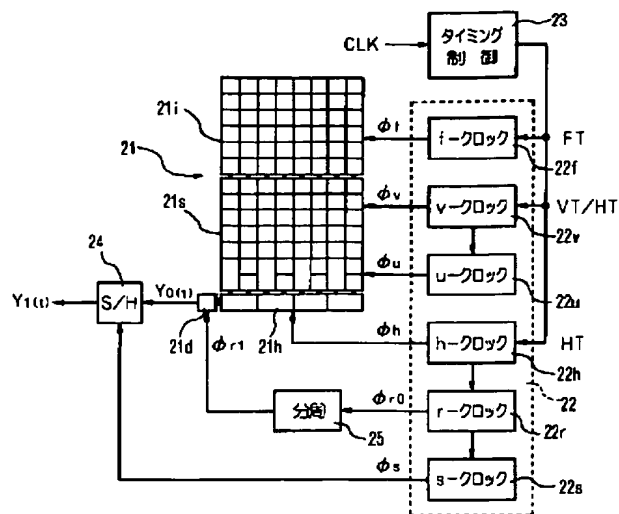
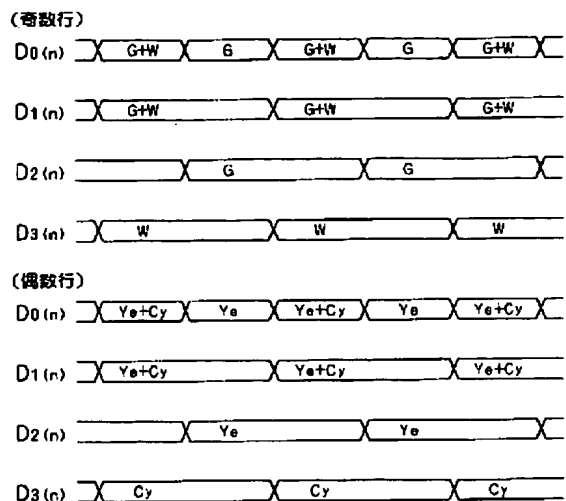
【図4】



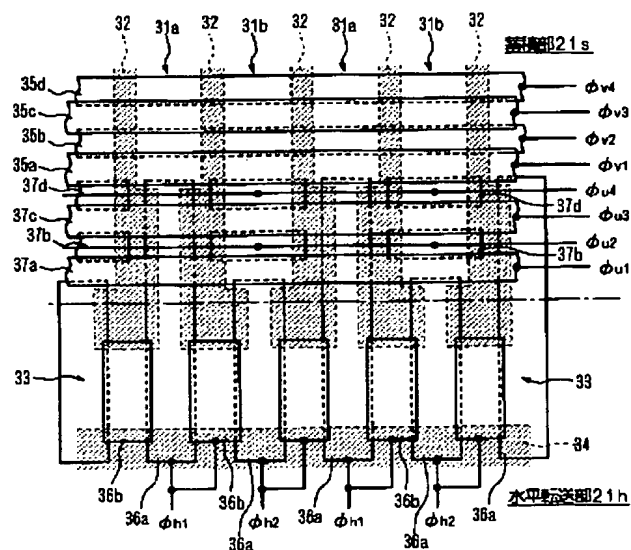
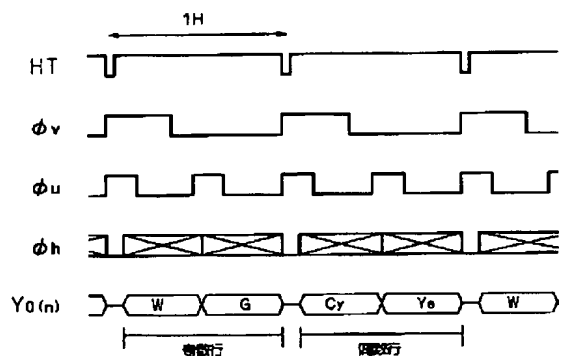
【図10】



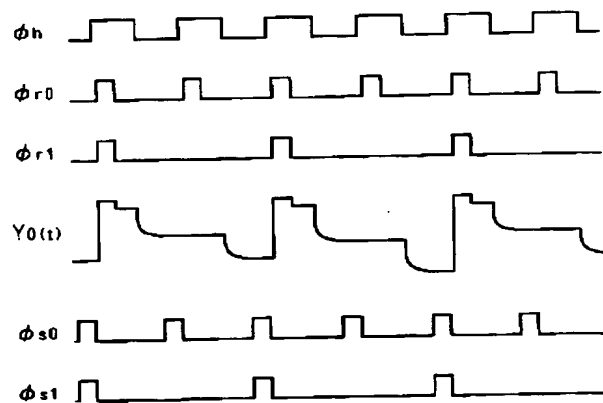
【圖6】



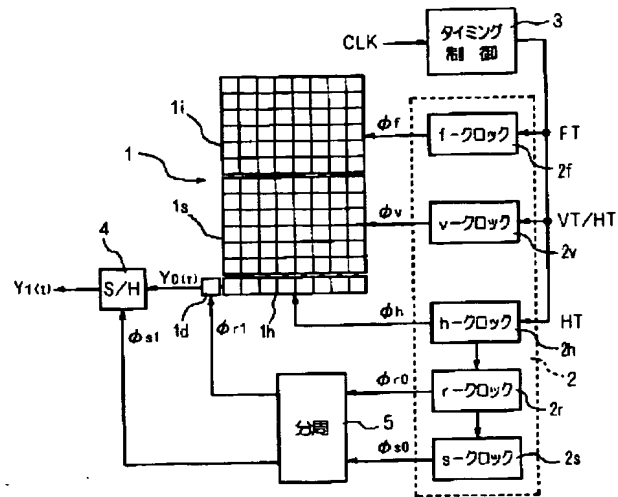
【图8】



【图 1 1】



【図9】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**This Page Blank (uspto)**